

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-39790

(P2006-39790A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl.	F 1	テーマコード (参考)
GO6F 15/80 (2006.01)	GO6F 15/80	5B013
GO6F 9/38 (2006.01)	GO6F 9/38 370X	

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願2004-216728 (P2004-216728)	(71) 出願人	503359821 独立行政法人理化学研究所 埼玉県和光市広沢2番1号
(22) 出願日	平成16年7月26日(2004.7.26)	(74) 代理人	100099623 弁理士 奥山 尚一
		(74) 代理人	100096769 弁理士 有原 幸一
		(74) 代理人	100107319 弁理士 松島 鉄男
		(74) 代理人	100130960 弁理士 岡本 正之
		(72) 発明者	牧野 淳一郎 東京都渋谷区富ヶ谷2-13-15 アト ラス富ヶ谷403号室

最終頁に続く

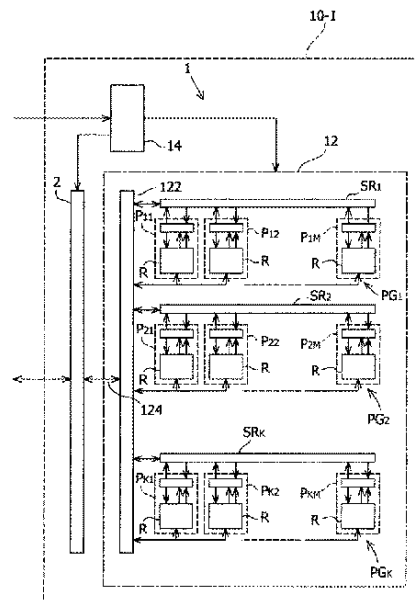
(54) 【発明の名称】 ブロードキャスト型並列処理のための演算処理装置

(57) 【要約】

【課題】 演算処理装置を用いて数値計算を高速に実行し、汎用性を確保する。

【解決手段】 レジスタファイルRを有する複数の要素プロセッサP<sub>11</sub>~P<sub>kM</sub>と、制御プロセッサ14とを備えてなる演算処理装置1であって、複数の要素プロセッサの少なくとも二つの要素プロセッサは、予め異なるパラメータを受け取ってレジスタファイルに格納し、制御プロセッサから同報される同一の命令と同一のメモリアドレスを受け取り、メモリアドレスに基づいて外部メモリから同一のデータをメモリーポートを通じて読み込み、同一のデータに対して同一の命令に応じて異なるパラメータに基づいて、論理演算または算術演算の少なくともいずれかを行なう。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

同一のメモリーポートを通じて外部メモリと通信可能な複数の要素プロセッサと、  
該要素プロセッサに命令とアドレスとを送り、該要素プロセッサを動作させるための制御  
プロセッサと

を備えてなる演算処理装置であって、

前記複数の要素プロセッサのそれぞれは、論理演算器と算術演算器とレジスタファイル  
とを備えており、

前記複数の要素プロセッサのうちの少なくとも二つの要素プロセッサは、前記動作に用  
いる異なるパラメータデータを予め受け取って前記レジスタファイルに格納し、前記制御  
プロセッサから前記動作のために同報される同一の命令を受け取り、前記外部メモリから  
同一のデータを前記メモリーポートを通じて読み込み、該同一のデータと前記異なるパラ  
メータデータとに対して、前記同一の命令に応じた論理演算または算術演算の少なくとも  
いずれかの演算を行なうものである、演算処理装置。 10

## 【請求項 2】

前記複数の要素プロセッサは、少なくとも二つの要素プロセッサをそれぞれが含む複数  
のグループにグループ化されており、該グループごとに共有メモリが備えられている、請  
求項 1 に記載の演算処理装置。

## 【請求項 3】

前記外部メモリから前記レジスタファイルへの書き込みモードは、複数の要素プロセッ  
サに対する同報モードと個々の要素プロセッサに対するランダムアクセスモードとを有し 20

、  
前記レジスタファイルから前記外部メモリへの読み出しモードは、個々の要素プロセッ  
サに対するランダムアクセスモードを有する、請求項 1 に記載の演算処理装置。

## 【請求項 4】

前記共有メモリから前記外部メモリへの読み出しモードにはランダムアクセスとグルー  
プをまたがった縮約を伴う読み出しモードとを有し、

前記外部メモリから前記共有メモリへの書き込みモードには、複数の要素プロセッサに  
対する同報モード、個々の要素プロセッサに対するランダムアクセスの転送モードを有し 30

、  
前記外部メモリから前記レジスタファイルへの書き込みモードは、グループ内の全ての  
要素プロセッサに対する第 1 同報モード、複数のグループ内の要素プロセッサに対する第  
2 同報モードを有する、請求項 2 に記載の演算処理装置。

## 【請求項 5】

前記命令にはベクトル命令が含まれており、該ベクトル命令のベクトル長は所定の範囲  
内において任意に指定可能なものである、請求項 1～4 のいずれかに記載の演算処理装置  
。

## 【請求項 6】

前記データには、1 ビットの符号ビットと 11 ビットの指数ビットと 60 ビットの仮数  
部ビットとから構成される 72 ビット長の浮動小数点形式のデータが含まれており、 40

前記算術演算器には乗算器と加算器が含まれており、

前記命令には、単精度乗算命令および倍精度乗算命令を有する乗算命令と、通常浮動小  
数点加減算命令およびモードビットを含むブロック浮動小数点加減算命令を有する加減算  
命令とが含まれており、

前記乗算器は、入力データが該乗算器へ入力される前に、該入力データの仮数部のバイ  
アスを修正し、前記単精度乗算命令を受け取ると、乗算の演算結果を丸め処理によって 2  
5 ビットにし、前記倍精度乗算命令を受け取ると、乗算の演算結果に丸め処理を行なわ  
ないものであり、

前記加算器は、通常浮動小数点加減算命令を受け取ると、演算結果に丸め処理を行な  
って演算を行い、ブロック浮動小数点加減算命令を受け取ると、演算に用いる少なくとも二 50

つの浮動小数点データのオペランドにより指定された入力のうち、前記モードビットで指定された側のソースオペランドに対応する入力における指数に合わせて他方のソースオペランドの指数をシフトして演算を行い、演算結果に対する正規化を行なわないものである、請求項 1 に記載の演算処理装置。

【請求項 7】

前記丸め処理の少なくともいずれかが強制 1 丸め処理である、請求項 6 に記載の演算処理装置。

【請求項 8】

前記レジスタファイルに対するアドレスの指定において、アドレスオフセットを用いた間接アドレッシングを行なうことができる、請求項 1 ～ 6 のいずれかに記載の演算処理装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンピュータの演算処理装置に関する。特に、本発明は、浮動小数点演算などの数値演算を行なう演算処理装置に関する。

【背景技術】

【0002】

従来より、コンピュータの高速化が要望されている。特に計算負荷の高い科学技術シミュレーションなどの分野において、数値計算を高速に処理する演算処理装置が求められている。 20

【0003】

従来のコンピュータは、殆どがフォン・ノイマン型コンピュータ（ストアードプログラム型コンピュータ）といわれるコンピュータである。このフォン・ノイマン型コンピュータにおいては、中央演算処理装置（CPU）とメモリとの間のバンド幅（通信速度）が演算処理の性能を制限する。この制限はフォン・ノイマン・ボトルネックと呼ばれている。現在の半導体プロセス技術においては、CPUとメモリとの製造工程は互いに両立しにくいいため、通常は、これらは異なる半導体集積回路によって実現され、CPUとメモリとの間のバンド幅が演算速度に与える影響が顕著となってきている。このため、フォン・ノイマン・ボトルネックの解消が試みられている。 30

【0004】

フォン・ノイマン・ボトルネックを解消するために、本願発明者らは、汎用のホストコンピュータに専用計算機部を接続し、この専用計算機部で計算負荷の高い処理を行なわせるコンピュータシステムを開発し、GRAPE（GRAvity PipE）と命名している。GRAPEは、粒子系のシミュレーション計算に特化した計算を行なう専用計算機部を有している。この専用計算機部には、粒子間の相互作用計算を効率よく行なうための演算をハードウェアによって実現したパイプラインを多数有している半導体チップが用いられる。また、この専用計算機部には、多数のパイプラインによって共有されるメモリユニットが備えられている。このような構成により、GRAPEは、小さな回路規模であるにもかかわらず、目的とする計算についてはスーパーコンピュータ以上の演算処理性能を有している（例えば、非特許文献 1）。 40

【0005】

また、フォン・ノイマン・ボトルネックを解消するための計算機として、FPGA（Field Programmable Gate Array）を用いた再構成可能計算機（リコンフィギュラブル・コンピュータ、RC）が用いられている。RCを用いて高速に数値計算を行なう場合のコンピュータシステムの構成はGRAPEと類似しており、ホスト計算機とFPGAボードとを用いる。FPGAボードにはFPGAを用いて構成されたFPGAのネットワークと外部メモリとが搭載されている。

【0006】

さらに、数値計算を効率よく行なうための計算機として、SIMD（Single Instructi 50

on Multiple Data) 超並列計算機が用いられている。このSIMD超並列計算機は、それぞれがローカルメモリとレジスタファイルを有するプロセッサユニットを複数集積したプロセッサチップを用い、このプロセッサチップを更に複数用いて処理を行なう。(特許文献1)。

【特許文献1】特開平5-174166号公報

【非特許文献1】Makino, J., Kokubo, E., and Taiji, M. (1993). HARP: A special-purpose computer for N-body simulations, Publ. Astron. Soc. Japan, 45, 349-360.

【発明の開示】

【発明が解決しようとする課題】

【0007】

10

GRAPE型の計算機は、目的とする計算を高速に実現可能であるものの、パイプラインをハードウェアに実現する段階で扱える計算が限定されてしまい、汎用性が欠如してしまう。

【0008】

RCは、使用するFPGA自体が再構成可能に構成されているので、回路規模が制限されており、また、動作速度が他のプロセッサに比べて高くできないという問題がある。また、通常の数値計算で用いられる倍精度浮動小数点演算をRCにより行なうと、計算速度が低下してしまうために、RCにより計算を高速に実行できるのは、計算精度が低くてよいもの(固定小数点演算の数値計算等)に限定されてしまう。さらに、RCによって目的とする計算を行なうためには、例えばVHDL等のハードウェアに近いレベルの言語を駆使して、ユーザーがFPGAの構成を行なう必要があり、アプリケーションの開発が困難である。

20

【0009】

SIMD超並列計算機においては、多数のプロセッサユニットを一つのチップに集積しようとする、メモリバンド幅が相対的に不足してしまい、フォン・ノイマン・ボトルネックと同様の制約が生じてしまう。したがって、半導体製造技術が進歩しても、その進歩に応じてプロセッサユニットの集積度を上げられないという制約がある。

【課題を解決するための手段】

【0010】

本発明は、上記問題の少なくともいくつかを解決することを課題とする。

30

【0011】

すなわち、本発明においては、同一のメモリーポートを通じて外部メモリと通信可能な複数の要素プロセッサと、該要素プロセッサに命令とアドレスとを送り、該要素プロセッサを動作させるための制御プロセッサとを備えてなる演算処理装置であって、前記複数の要素プロセッサのそれぞれは、論理演算器と算術演算器とレジスタファイルとを備えており、前記複数の要素プロセッサのうちの少なくとも二つの要素プロセッサは、前記動作に用いる異なるパラメータデータを予め受け取って前記レジスタファイルに格納し、前記制御プロセッサから前記動作のために同報される同一の命令を受け取り、前記外部メモリから同一のデータを前記メモリーポートを通じて読み込み、該同一のデータと前記異なるパラメータデータとに対して、前記同一の命令に応じた論理演算または算術演算の少なくとも

40

【0012】

また、上記本発明の演算処理装置において、前記データには、1ビットの符号ビットと11ビットの指数ビットと60ビットの仮数部ビットとから構成される72ビット長の浮動小数点形式のデータが含まれており、前記算術演算器には乗算器と加算器が含まれており、前記命令には、単精度乗算命令および倍精度乗算命令を有する乗算命令と、通常浮動小数点加減算命令およびモードビットを含むブロック浮動小数点加減算命令を有する加減算命令とが含まれており、前記乗算器は、入力データが該乗算器へ入力される前に、該入力データの仮数部のバイアスを修正し、前記単精度乗算命令を受け取ると、乗算の演算結果を丸め処理によって25ビットにし、前記倍精度乗算命令を受け取ると、乗算の演算結

50

果に丸め処理を行なわないものであり、前記加算器は、通常浮動小数点加減算命令を受け取ると、演算結果に丸め処理を行なって演算を行い、ブロック浮動小数点加減算命令を受け取ると、演算に用いる少なくとも二つの浮動小数点データのオペランドにより指定された入力のうち、前記モードビットで指定された側のソースオペランドに対応する入力における指数に合わせて他方のソースオペランドの指数をシフトして演算を行い、演算結果に対する正規化を行なわないものであってよい。

#### 【発明の効果】

##### 【0013】

本発明の演算処理装置においては、複数の要素プロセッサが、同一のデータと異なるパラメータデータとを用いて同一の命令に応じた演算を並行して行なうため、メモリバンド幅の問題を生じることなく、計算処理速度を改善することができる。 10

#### 【発明を実施するための最良の形態】

##### 【0014】

本発明の実施の形態を、図面を参照しながら説明する。

#### [全体構成]

図1は、本発明の演算処理装置の実施の形態を用いて計算を行なうためのコンピュータシステム100の構成を示すブロック図である。コンピュータシステム100は、ホストコンピュータ20と専用計算機部10から構成されることができ、ホストコンピュータ20は、例えば市販されているパーソナルコンピュータなどであり、中央演算装置(CPU)22には主記憶装置(メモリ)24が接続されており、例えばハードディスクドライバなどの補助記憶装置28、ディスプレイアダプタなどの表示手段30、キーボードやマウスなどの入力操作手段32が、PCIやISAなどの適切な規格による適切なバス26を介してCPU22と接続されている。バス26には適当な通信または入出力手段34(例えば、PCIバススロット、あるいはPCIバスに接続された適当なIOカード等)を介して、専用計算機部10が接続されている。コンピュータシステム100は、以下に説明する演算処理装置を実装した専用計算機部10をホストコンピュータ20によって制御することにより、目的とする計算を実行する。 20

##### 【0015】

専用計算機部10は、例えば複数のアダプタカード10-1~10-Z(Zは、自然数)により構成されている。他の構成の例としては、単独のアダプタカードにより構成されたり、適当な筐体に専用計算機部10が格納されて、ホストコンピュータ20との間を適当な通信手段によって接続するように構成されていることもできる。 30

##### 【0016】

#### [アダプタカード]

本実施の形態におけるアダプタカードの構成を図2に示す。アダプタカード10-I(Iは1~Zの自然数)においては、本発明の実施の形態に係る演算処理装置1と外部メモリ2とが適当な外部バスインターフェース122を介して接続するように実装されている。外部メモリ2は、任意のメモリとすることができ、例えば、各種の方式のランダムアクセスメモリ(RAM)の中から、記憶容量とデータ転送速度に応じて適宜選択される。図2においては、外部メモリ2を一つだけ記載しているが、外部メモリをデータ用と命令用に分けて実装することもできる。外部メモリ2と外部バスインターフェース122とは、外部バス124を通じて接続されている。外部バスインターフェース124は外部メモリ2のメモリーポートを介してメモリにアクセスできる。このため、複数の要素プロセッサが外部メモリ2の同一のメモリーポートを通じて外部メモリ2とアクセスする。 40

##### 【0017】

#### [演算処理装置]

演算処理装置1は、一片の半導体ダイ12に集積された集積回路を有している。ダイ12には、要素プロセッサ $P_{11} \sim P_{KM}$ の $K \times M$ 個(K、Mは自然数)の要素プロセッサが備えられている。要素プロセッサのそれぞれにはレジスタファイルRが備えられている。ここで、例えば、KとMはともに16であり、半導体ダイ12上には256個の要素プロセ 50

ッサが集積されている。図2においては、アダプタカード上に半導体ダイ12を一つだけ記載しているが、アダプタカード上に複数の半導体ダイ12を実装しても良い。

#### 【0018】

要素プロセッサ $P_{11} \sim P_{KM}$ は、 $K$ 個のプロセッサグループ $PG_1 \sim PG_K$ にグループ化されていて、それぞれに、要素プロセッサ $(P_{11} \sim P_{1M}) \sim (P_{K1} \sim P_{KM})$ が含まれている。プロセッサグループ $PG_1 \sim PG_K$ のそれぞれのグループには、共有レジスタファイル $SR_1 \sim SR_K$ が備えられている。

#### 【0019】

制御プロセッサ14は、適当な通信または入出力手段34（図1）を介してホストコンピュータ20から制御されており、要素プロセッサ $P_{11} \sim P_{KM}$ を動作させるための命令を各要素プロセッサに送り、外部メモリのメモリアドレスを送る。外部メモリ2には、計算に用いるデータがホストコンピュータ20から書き込まれる。制御プロセッサ14と半導体ダイ12とは、図2においては別の装置であるように記載されているが、制御プロセッサ14と要素プロセッサとが共に半導体ダイ12に集積されていても良い。

#### 【0020】

レジスタファイル $R$ は、要素プロセッサ $P_{11} \sim P_{KM}$ の演算に使用される。図示しないが、それぞれの要素プロセッサには、論理演算器、算術演算器が備えられている。

#### 【0021】

次に、本実施の形態の演算処理装置1の動作について説明する。

##### [動作]

演算処理装置1の動作上の特徴の一つは、同一の命令にしたがって、同一のデータを、各要素プロセッサが並行して処理を行なう点である。この際、要素プロセッサのそれぞれのレジスタファイル $R$ には、予め計算目的に合わせたパラメータデータが転送されている。各要素プロセッサは、パラメータデータと他の要素プロセッサと同じデータとを用いて、当該同一の命令に応じた演算を行う。パラメータデータは、専用計算機部10全体として目的の計算を行なうように各要素プロセッサに与えられるデータであり、一般には要素プロセッサごとに異なるデータとなっている。したがって、各要素プロセッサが同一のデータを対象に同一の命令に従った演算を行っても、演算結果は一般には要素プロセッサごとに異なっている。同一の命令とは、少なくともニモニック（またはオペコード）が同一である命令をいう。つまり、ニモニックが同一でオペランドに指定されるレジスタも同一である命令や、ニモニックが同一でオペランドに指定されるレジスタが異なる命令等をいう。これらの場合、各要素プロセッサのレジスタには一般には異なるデータが格納されているので演算の種類が同一であっても、一般には、異なる演算結果となる。

#### 【0022】

##### [命令による演算処理装置の動作変更]

各要素プロセッサは、命令に従ってレジスタファイル $R$ や共有レジスタファイル $SR$ に対して演算を行い、その結果をメモリに格納する。ここで、数値計算の中には、外部メモリへのアクセスを行なう必要がなく、要素プロセッサ内のレジスタファイルを用いて行なえる演算が殆どとなるものがある。この非限定的な例としては、従来技術であるGRAPE型計算機によって行なってきた多数粒子の重力等の計算や、大規模な次元の行列の積の数値計算などがある。本発明では、演算処理装置1の各要素プロセッサの処理がプログラムに基づく命令によって制御されるため、専用計算機部10を処理に合わせて適切に動作させるプログラムを組むことにより、同一のハードウェア構成を用いて、複数の種類の計算を高速に行なうことができる。例えば、プログラムを変更するだけで、同一のハードウェア構成によって多数粒子の重力等の計算を行なったり、行列の積の計算を行なったりすることができる。

#### 【0023】

##### [要素プロセッサのグループ化]

複数の要素プロセッサはグループ化されることができ、図2においては、要素プロセッサはプロセッサグループ $PG_1 \sim PG_K$ にグループ化され、それぞれのプロセッサグ

ループ  $P G_1 \sim P G_k$  には、共有レジスタファイル  $S R_1 \sim S R_k$  が備えられている。共有レジスタファイル  $S R_1 \sim S R_k$  はグループ内の各要素プロセッサからアクセス可能である。共有レジスタファイルを用いることにより、グループ内のある要素プロセッサによって演算されたデータを、外部メモリ 2 にアクセスすることなく他の要素プロセッサによって参照することができる。

#### 【0024】

##### [外部メモリと要素プロセッサとの転送モード]

本実施の形態の演算処理装置 1 においては、各要素プロセッサのレジスタやプロセッサグループの共有レジスタと外部メモリとの間において、さまざまな転送モードを有する。外部メモリから要素プロセッサのレジスタファイルへの書き込みモードは、複数の要素プロセッサに対する同報モードと個々の要素プロセッサに対するランダムアクセスモードとを有し、レジスタファイルから外部メモリへの読み出しモードは、個々の要素プロセッサに対するランダムアクセスモードを有している。また、要素プロセッサがグループ化されている場合には、共有メモリから外部メモリへの読み出しモード、または、外部メモリから共有メモリへの書き込みモードの少なくともいずれかには、複数の要素プロセッサに対する同報モード、個々の要素プロセッサに対するランダムアクセスの転送モードを有している。この場合には、外部メモリからレジスタファイルへの書き込みモードは、グループ内の全ての要素プロセッサに対する同報モード、複数のグループ内の要素プロセッサに対する同報モードをさらに有しレジスタファイルから外部メモリへの読み出しは、グループ内の縮約を伴う読み出しモードをさらに有している。

#### 【0025】

##### [ベクトル命令]

本実施の形態の演算処理装置 1 においては、ベクトル命令を備えていることができる。ベクトル命令を用いれば、多数のオペランドの組み合わせに対して同一の命令を実行することができる。複数の要素プロセッサによって並行して計算を行なう本実施の形態の演算処理装置 1 において命令を同報する際のバンド幅が節約できる。本実施の形態の演算処理装置 1 においては、ベクトル命令のベクトル長（命令長）は様々に変更することができる。ベクトル長を直接または間接的に指定するためのオペランドをそのベクトル命令に含めることができる。これにより、計算目的に合わせた柔軟なベクトル長を選択することができる。

#### 【0026】

##### [間接アドレッシング]

本実施の形態の演算処理装置 1 においては、アドレスオフセットを用いた間接アドレッシングを用いることができる。間接アドレッシングを用いることにより区分多項式を用いて演算を行うことができ、べき乗や初等関数の数値計算がより高速に行なうことができる。

#### 【0027】

##### [データ構造]

一般に浮動小数点で積算の演算を行う場合には、演算順序によって結果が変わる。本実施の形態の演算処理装置 1 においては、この問題を解決するために、実質的に固定小数点演算となる手法によって積算を行なうことができる。すなわち、本実施の形態においては、演算結果に正規化を行なわない浮動小数点加算を導入する。要素プロセッサに備えられるアキュムレータの指数に、積算途中で表れ得る値よりも大きな指数を設定しておいて、加算後の正規化を実行しない演算を行えば、積算結果が積算の順序に依存しなくなる。このような演算を可能にするために、本実施の形態においては、そのために何れのソースオペランドの指数を用いるかを定めるフラグ（モードビット）を設けることができる。

#### 【0028】

さらに、本実施の形態では、上記問題を解決するために、1 ビットの符号部、11 ビットの指数部、60 ビットの仮数部を持つ 72 ビット数値データを扱うことができる。つまり、演算後に正規化を行なわない浮動小数点の演算においては、1 ビットの符号部、11 ビットの指数部、52 ビットの仮数部を用いて 64 ビットの倍精度データを表現する I E

EE-754の規格どおり52ビットの仮数部を用いるのではなく、仮数部を60ビットにする。これにより、正規化を行わない場合の倍精度演算における精度低下を防止する。このとき、単精度演算を行うときには、仮数を丸めてから演算を行って、強制1丸め処理を行なって25ビットにするが、その結果は、仮数部が長いままメモリに格納する。また、本発明においては、IEEE754に用いられるような仮数部の暗黙ビット（隠しビット）を用いる表現（いわゆるケチ表現）は用いない。

#### 【0029】

本実施の形態において倍精度乗算を行なう場合には、単精度乗算器を用いて演算を行う。これは、仮数をシフトしてから乗算する命令を設けることにより行なうことができる。乗算結果は基本的に全ビットがレジスタに保持されるので、倍精度乗算は部分積を計算した後にそれらを加算するだけで実現される。 10

#### 【0030】

##### [論理演算器]

本実施の形態の演算処理装置1においては、主たる計算の用途は数値計算であるが、各種の条件処理を行なうために論理演算器を用いることができる。なお、乗算や除算の演算器の論理構成は、従来のALUに見られる論理構成と同様である。

#### 【0031】

##### [パイプライン化]

本実施の形態の演算処理装置1の各要素プロセッサにおける算術演算器には、パイプラインを用いることができる。また、複数の要素プロセッサを一つのパイプラインとするようにパイプライン構成とすることもできる。このようにパイプラインを用いて実装すれば、メモリアクセスの少ない本実施の形態の演算処理装置1の演算処理効率がさらに高くなる。 20

#### 【0032】

以下、本発明の演算処理装置によって各種の計算をする場合の具体例を説明する。

#### 【実施例1】

#### 【0033】

##### [重力、クーロン力による粒子間相互作用]

図3に基づいて、多数の粒子が重力、クーロン力により相互作用する場合の計算について、本発明の演算処理装置を用いて計算を行なう場合の動作について説明する。多数の粒子に対して式(1)に示す中心力ポテンシャルによる相互作用の力を計算し、その相互作用の合力を求めることにより、運動方程式を用いてその後の各粒子の位置を算出することができる。本実施例においては、各要素プロセッサは特定の粒子を担当し、その担当する粒子に作用する他の粒子（作用粒子）からの力を作用粒子を順次変更しながら積算する。計算は、全般に浮動小数点演算によって行なう。 30

#### 【数1】

$$\frac{d^2 \mathbf{x}_i}{dt^2} = - \sum_{j \neq i} G m_j \frac{\mathbf{x}_j - \mathbf{x}_i}{|\mathbf{x}_j - \mathbf{x}_i|^3} \quad (1)$$

40

#### 【0034】

本実施例では、まず、ホストコンピュータにより、個々の粒子のデータを専用計算機部の外部メモリに格納する(S102)。

#### 【0035】

次に、要素プロセッサのレジスタファイルに、その要素プロセッサが計算を担当する粒子のデータを書き込む(S104)。例えば、第1番目の粒子から第N番目の粒子の計算を図2に示したようなK×M個の要素プロセッサを用いて計算を行なうことを考える。この場合、N≤Mである場合には、N個の粒子がM個の要素プロセッサのいずれかによって担当される。別のグループの同じ番号のプロセッサは同じ粒子を担当する。計算に用いる 50



データは、例えば、位置や質量、電荷など、粒子ごとに決まる計算に必要なデータである。この場合、グループ内の各要素プロセッサには異なる粒子データが書き込まれるので、粒子データをこのように書き込むことは、本願において予め異なるパラメータを要素プロセッサがレジスタファイルに格納することに対応する。この書き込みは、要素プロセッサごとに異なるデータを書き込むランダムアクセスモードにより行なう。なお、 $N > M$ である場合には、同じアダプタカードや他のアダプタカードに実装された他の半導体ダイ12の要素プロセッサを使って分担して計算を行なったり、力を受ける粒子数を計算可能な数に限定した計算を繰り返せばよいので、原理的には同様である。

#### 【0036】

次に、グループ内の複数の要素プロセッサそれぞれのレジスタファイルに、その要素プロセッサによって分担されている粒子に対して重力やクーロン力の作用を及ぼす粒子（作用粒子）のデータを書き込む（S106）。このとき、グループ内の各要素プロセッサには同報により同じ作用粒子の粒子データを書き込み、異なるグループの要素プロセッサには違う作用粒子の粒子データを書き込む。ここでも、計算に用いるデータは、例えば、位置や質量、電荷など、粒子ごとに決まる計算に必要なデータである。

#### 【0037】

例えば、図2に示した演算処理装置1の場合であれば、プロセッサグループ $PG_1$ の全ての要素プロセッサ $P_{11}$ から $P_{1M}$ の全てのレジスタファイルに、第1番目の作用粒子の粒子データを同報によって書き込み、プロセッサグループ $PG_2$ の要素プロセッサ $P_{21}$ から $P_{2M}$ に第2番目の作用粒子の粒子データを同報によって書き込む。同じ作用粒子の粒子データが書き込まれる要素プロセッサには、グループ内で粒子データが同報されることにより、メモリアクセスの回数が最小になる。

#### 【0038】

なお、粒子間の相互作用の計算においては、ある粒子に作用する力はその粒子自体を除いた他の粒子によって作用するものであるため、同じ粒子同士での計算は行なわれないように除外されている。

#### 【0039】

そして、要素プロセッサのレジスタファイルにある二つの粒子の位置データ（ $x$ 、 $y$ 、 $z$ ）間の差を求める（S108）。これにより位置データの差 $dx = x_i - x_j$ （ $i$ 、 $j$ は異なる粒子のインデックス）が求まるので、各要素プロセッサのレジスタファイルに格納する。 $y$ 、 $z$ についても、同様に $dy$ 、 $dz$ を求める。この処理は、要素プロセッサ内でレジスタファイルのみの演算処理であるために、 $x$ 、 $y$ 、 $z$ の各要素の計算を順次行なっても3クロックで処理が完了する。また、 $x$ 、 $y$ 、 $z$ の3つの成分の差を同時に減算できるベクトル命令を備えている場合には、1クロックで処理が完了する。この差の算出は、同時に動作する要素プロセッサにおいて並行して行なわれるため、計算が非常に効率よく進行する。

#### 【0040】

そして、 $dx$ 、 $dy$ 、 $dz$ の値をそれぞれ二乗して和を求めることにより、距離の二乗（ $dr^2$ ）を求める（S110）。この計算においても、各要素プロセッサが用いるデータはレジスタファイル上のみに存在する。

#### 【0041】

さらに、 $invdr^3 = dr^{-1.5}$ の計算を各要素プロセッサで行なう（S112）。この際、べき乗の演算については、区分多項式補間計算を行なう。アドレスオフセットによる間接アドレッシングが可能な本発明の実施の形態の演算処理装置1では演算が高速に行える。各要素プロセッサで算出された $invdr^3$ は、レジスタファイルに格納される。

#### 【0042】

ステップS112において求めた $invdr^3$ に、ステップS108で求めた $dx$ 、 $dy$ 、 $dz$ をそれぞれ乗じて、相互作用による力 $f$ の各成分 $f_x$ 、 $f_y$ 、 $f_z$ を算出し、レジスタファイルに格納する（S114）。なお、図においては、質量や重力定数、あるい

は電荷等の定数を記載していないが、必要に応じてこれらも乗じる。これにより、各要素プロセッサのレジスタファイルには、その要素プロセッサが担当している粒子にある作用粒子が及ぼす力の計算データが格納される。

【0043】

各粒子には、他の粒子全てが作用粒子となるので、ステップS106からステップS114を計算すべき作用粒子に対して繰り返す(ステップS116)。これにより、各要素プロセッサのレジスタファイルには、その要素プロセッサが担当する粒子に対して他の作用粒子が及ぼす力が積算されて格納される。なお、2番日以降の作用粒子については計算中に次の作用粒子のデータを共有メモリに転送する。これにより演算とデータ転送が並行に行われ、演算を高速化できる。

10

【0044】

最後に、グループに跨ったりダクシオン(縮約)を行ないながら、HOST計算機に粒子ごとの力のデータを回収する(S118)。

【0045】

以上のような計算によって、多数の粒子間の相互作用による力を算出することができ、運動方程式にしたがって運動する多数の粒子の運動をシミュレートすることができる。なお、相互作用の計算において、計算を多数回に分けて部分的に進めることにより、データのオーバーフローが防止でき、同時に動作可能な要素プロセッサの数より多数の粒子数を扱うことができる。

20

【実施例2】

【0046】

[行列積の計算]

図4に基づいて、 $n \times n$ の正方行列同士の行列積を求める計算について、本発明の演算処理装置で計算を行なう場合の動作について説明する。行列A、Bの行列積Cは、 $c_{ij} = \sum_k a_{ik} b_{kj}$ を計算することにより求められる。ここで、 $a_{ik}$ 、 $b_{kj}$ 、 $c_{ij}$ は、A、B、Cそれぞれの要素である。本実施例においては、 $c_{11}$ を算出する計算は要素プロセッサP<sub>11</sub>が担当し、 $c_{12}$ を算出する計算は要素プロセッサP<sub>12</sub>が担当する。同様に、 $c_{21}$ を算出する計算は要素プロセッサP<sub>21</sub>が担当する。このようにして、 $c_{11} \sim c_{nn}$ は要素プロセッサP<sub>11</sub>～P<sub>nn</sub>が計算を担当する。

30

【0047】

まず、HOSTコンピュータにより、行列A、Bの部分行列を専用計算機部10の各アダプタカードの外部メモリ2に格納する。(S202)。この行列A、Bの部分行列は、アダプタカードの外部メモリ2の容量とデータ量によっては、行列A、Bそのものとすることもできる。

【0048】

次に、Bの部分行列を各要素プロセッサのレジスタファイルに格納する(S204)。このとき、プロセッサP<sub>11</sub>のレジスタRには、 $b_{11}$ 、 $b_{21}$ 、 $\dots$ 、 $b_{n1}$ が格納され、プロセッサP<sub>12</sub>のレジスタRには、 $b_{12}$ 、 $b_{22}$ 、 $\dots$ 、 $b_{n2}$ が格納される。このように、プロセッサグループPG<sub>1</sub>には、 $(b_{11}, b_{21}, \dots, b_{n1})$ 、 $(b_{12}, b_{22}, \dots, b_{n2})$ 、 $\dots$ 、 $(b_{1n}, b_{2n}, \dots, b_{nn})$ が要素プロセッサごとに格納される。

40

【0049】

そして、外部メモリ2からAの部分行列を要素プロセッサに同報する(S206)。このとき、異なるプロセッサグループには、別の行のデータが送られる。例えば、プロセッサグループPG<sub>1</sub>の各要素プロセッサには $a_{11}$ 、 $a_{12}$ 、 $\dots$ 、 $a_{1n}$ が送られ、プロセッサグループPG<sub>2</sub>の各要素プロセッサには $a_{21}$ 、 $a_{22}$ 、 $\dots$ 、 $a_{2n}$ が送られる。プロセッサグループ内の全ての要素プロセッサには同じデータが同報されるが、このためには、図2の共有レジスタSRを用いることができるし、また、各要素プロセッサのレジスタに同報により直接書き込まれても良い。これにより、外部メモリ2のアクセスが最小限にされて、メモリバンド幅が計算速度を律速しにくくなる。

【0050】

50

更に、各要素プロセッサにおいて、 $c_{ij}$ の部分和を計算する(S208)。例えば、プロセッサグループPG<sub>1</sub>のプロセッサP<sub>11</sub>では、 $a_{11} * b_{11} + a_{12} * b_{21} + \dots + a_{1n} * b_{n1}$ を計算し、プロセッサグループPG<sub>2</sub>のプロセッサP<sub>21</sub>では、 $a_{21} * b_{11} + a_{22} * b_{21} + \dots + a_{2n} * b_{n1}$ を計算する。これらの計算は、要素プロセッサが並行して行なうため、同時に複数の要素が計算される。また、本実施の形態の演算処理装置1において乗算を並行して行なえるベクトル命令を備えていれば、複数の項を一度の命令で計算することができて、処理効率が高くなる。

#### 【0051】

ここで、計算に用いる要素プロセッサの数が行列要素の数よりも小さい場合、正方行列同士の積ではない場合などの場合等には、計算を分けて行なう必要がある。このとき、Cの要素の計算には、必ずしもには、一般に、計算を分けて行なう必要がある。その場合には、計算すべきA、Bの要素があれば(S210)、外部メモリ2から、(あるいは、必要に応じてホストコンピュータ20から)その要素を読み込んで計算を継続する。

#### 【0052】

各要素プロセッサで担当したCの要素の計算が完了した後は、グループに跨ったりダクションを行ないながら、Cの要素を外部メモリ2に格納する(S212)。Cの全ての要素の計算が終了するまで(S214)、以上のステップを繰り返し、計算が終了すれば、計算結果をホスト計算機に回収する(S216)。

#### 【0053】

以上、本発明の実施の形態につき述べたが、これらの実施の形態および実施例は本発明の思想を具体化する一例に過ぎない。すなわち、本発明は既述の実施の形態に限定されるものではなく、本発明の技術的思想に基づいて各種の変形、変更および組み合わせが可能である。

#### 【図面の簡単な説明】

#### 【0054】

- 【図1】 本発明の実施の形態のコンピュータシステムの構成を示すブロック図。
- 【図2】 本発明の実施の形態の専用計算機部のアダプタカードの構成を示すブロック図。
- 【図3】 本発明の実施例1の処理を示すフローチャート。
- 【図4】 本発明の実施例2の処理を示すフローチャート。

#### 【符号の説明】

#### 【0055】

- 1 演算処理装置
  - 14 制御プロセッサ
  - 12 半導体ダイ
    - PG<sub>1</sub>~PG<sub>k</sub> プロセッサグループ
    - SR<sub>1</sub>~SR<sub>k</sub> 共有レジスタ
    - P<sub>11</sub>~P<sub>km</sub> 要素プロセッサ
    - R レジスタファイル
  - 122 外部バスインターフェース
- 2 外部メモリ
  - 100 コンピュータシステム
    - 10 専用計算機部
      - 10-1~10-Z アダプタカード
    - 20 ホストコンピュータ
      - 22 中央演算装置(CPU)
      - 24 主記憶装置
      - 28 補助記憶装置
      - 30 表示手段
      - 32 入力操作手段
      - 26 バス

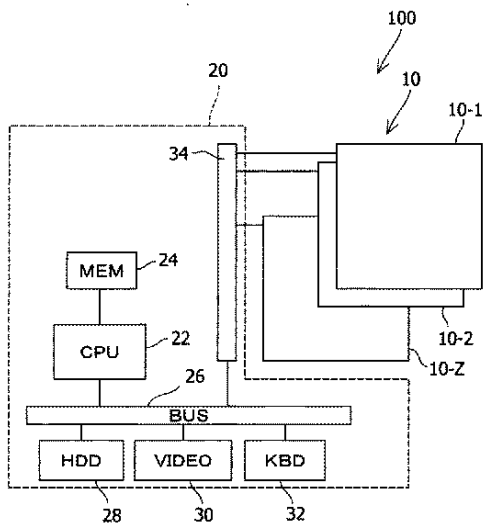
30

40

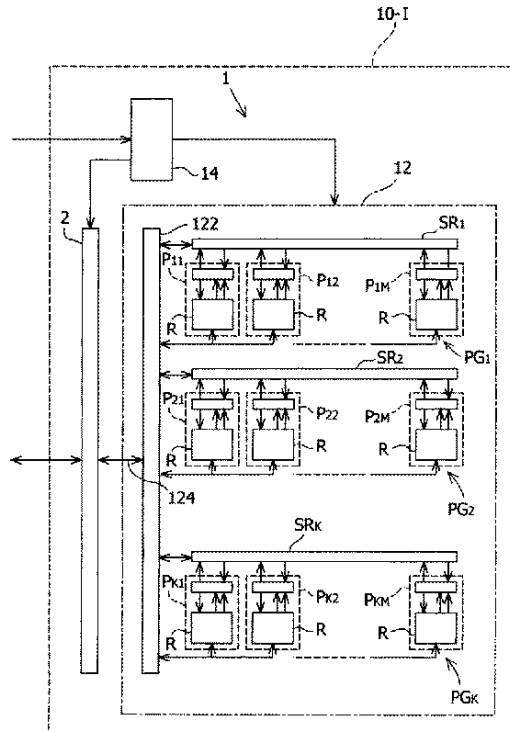
50

3 4 入出力手段

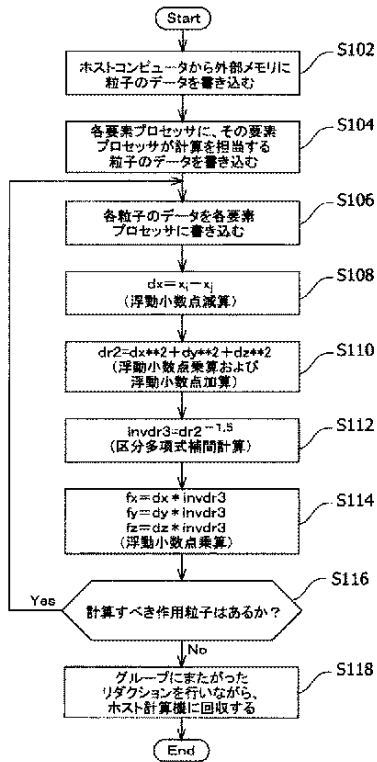
【図 1】



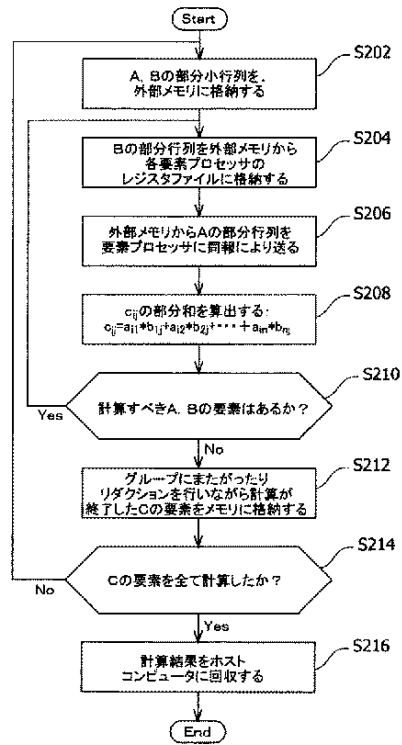
【図 2】



【図 3】



【図 4】



---

フロントページの続き

(72)発明者 戎崎 俊一

埼玉県和光市広沢2番1号 独立行政法人理化学研究所内

Fターム(参考) 5B013 DD04